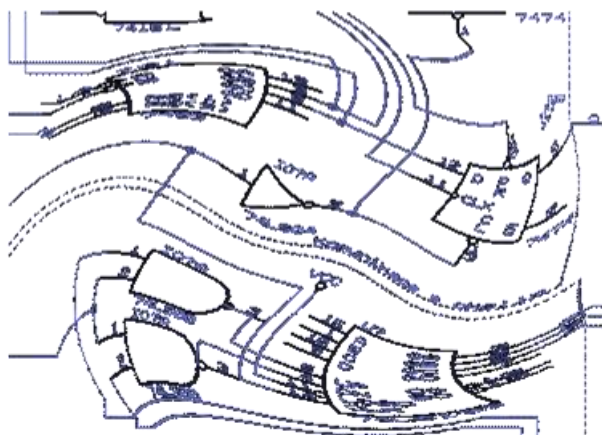


Vybraná hlášení překladače Quartus II WEB version

ID	Message	str.	ID	Message	str.
12002	Port "xxx" does not exist...	11	275008	Primitive "xxx" of instance "yyy" not used.	14
12009	Node "xxx" is missing source	9	275023	Width mismatch in	10
12014	Net "xxx", which fans out to "yyy"	8	275062	Logic function xxx and inst. "yyy" is already defined...	8
13024	Output pins are stuck at GND or VCC	14	275084	Inconsistent dimensions for element "xxx"	11
15610	No output dependent on input pin...	14	332012	Synopsys Design Constraints File not found...	7
169085	No exact pin location assignment(s) for...	4	332125	Found combinational loop	14
171016	Can't place node "xxx"	13	335093	TimeQuest ... loops as latches	15

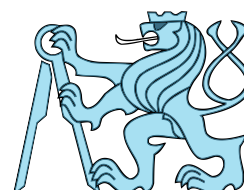


Richard Šusta



Katedra řídicí techniky

ČVUT-FEL v Praze



[GNU Free Documentation License](#)

Verze 1.2 ze dne 19. února 2024

Obsah

Seznam chyb dle jejich ID	2
Critical Warnings v okně Messages	4
169085 - No exact pin location assignment(s) for... ..	4
332012 - Synopsys Design Constraints File not found... ..	7
Errors v okně Messages - <i>Compilation was unsuccessful</i>	8
12014 - Net "xxx", which fans out to "yvy"	8
275062 - Logic function of type xxx and instance "yyy" is already defined... ..	8
12009 - Node "xxx" is missing source	9
275023 - Width mismatch in	10
275084 - Inconsistent dimensions for element "xxx"	11
12002 - Port "xxx" does not exist in macrofunction "yyy"	11
171016 - Can't place node "xxx" -- illegal location assignment PIN_yyy	13
Warnings v okně Messages	14
275008 - Primitive "xxx" of instance "yyy" not used.	14
13024 - Output pins are stuck at GND or VCC	14
15610 - No output dependent on input pin	14
332125 - Found combinational loop	14
335093 TimeQuest ... is analyzing combinational loops as latches	15
Compilation Report - logic elements	16
Závěr.....	16

Seznam chyb dle jejich ID

ID	Message	stránka
12002	Port "xxx" does not exist in macrofunction "yyy"	11
12009	Node "xxx" is missing source	9
12014	Net "xxx", which fans out to "yvy"	8
13024	Output pins are stuck at GND or VCC	14
15610	No output dependent on input pin...	14
169085	No exact pin location assignment(s) for...	4
171016	Can't place node "xxx" -- illegal location assignment PIN_yyy	13
275008	Primitive "xxx" of instance "yyy" not used.	14
275023	Width mismatch in	10
275062	Logic function of type xxx and instance "yyy" is already defined...	8
275084	Inconsistent dimensions for element "xxx"	11
332012	Synopsys Design Constraints File not found...	7
332125	Found combinational loop	14
335093	TimeQuest ... is analyzing combinational loops as latches	15

Poznámka: V okně Messages [View->Utility Windows -> Messages] si chyby můžete seřadit podle ID.

Seznam obrázků

Obrázek 1 - Pin xxx not assigned to an exact location.....	4
Obrázek 2 - Assignment Editor	5
Obrázek 3 - Import Assignments	5
Obrázek 4 - Show Location Assignments	5
Obrázek 5 - Assignment Editor okno ukazující přiřazení vstupů a výstupů	6
Obrázek 6 - Nalezení všech vývodů začínajících LED	6
Obrázek 7 - Vypsání "Locations" u správně mapovaného schématu.....	6
Obrázek 8 - Schéma sestavené z SPSLibrary pro maják EA z první přednášky	7
Obrázek 9 - TimeQuest Timing Analyzer	7
Obrázek 10 - Přidání souboru *.sdc	7
Obrázek 11 - Zkrat - Error fan out	8
Obrázek 12 - Duplicitní instance.....	9
Obrázek 13 - Přejmenování instance.....	9
Obrázek 14 - Nezapojený povinný vstup	9
Obrázek 15 - Použití špatného typu vodiče.....	10
Obrázek 16 - Příklad pojmenování sběrnice na A[2..0].....	10
Obrázek 17 - Sběrnice - Width mismatch	10
Obrázek 18 - Chybějící určení rozsahu sběrnice.....	11
Obrázek 19 - Obvod se sběrnici použitý v dalším schématu.	11
Obrázek 20 - Změněný soubor se sběrnici	11
Obrázek 21 - Error: Port does not exist.....	12
Obrázek 22 - Create Symbol Files for Current Files.....	12
Obrázek 23 - Update Symbol or Block	12
Obrázek 24 - Aktualizovaný soubor se sběrnici.....	12
Obrázek 25 - Vložení nové vygenerované schematické značky pomocí Symbol Tool	12
Obrázek 26 - Změna cílového zařízení (device) překladače	13
Obrázek 27 - Warning: ...instance "xxx" not used	14
Obrázek 28 - Warning: Pin "xxx" is stuck at GND.....	14
Obrázek 29 - Warning: No output dependent	14
Obrázek 30 - Warning" Combinational Loop	14
Obrázek 31 - Varování latch u nedoporučeného RS obvodu.....	15
Obrázek 32 - Varování latch u nedoporučeného užití dvou asynchronních vstupů.....	15
Obrázek 33 - Compilation Report	16

Critical Warnings v okně Messages

Quartus vypisuje obrovské množství hlášek do okna "Messages" [View->Utility Windows -> Messages], kde si lze vyfiltrovat chyby podle typu, seřadit podle ID nebo textu. Typově se chyby třídí do čtyř kategorií podle důležitosti.

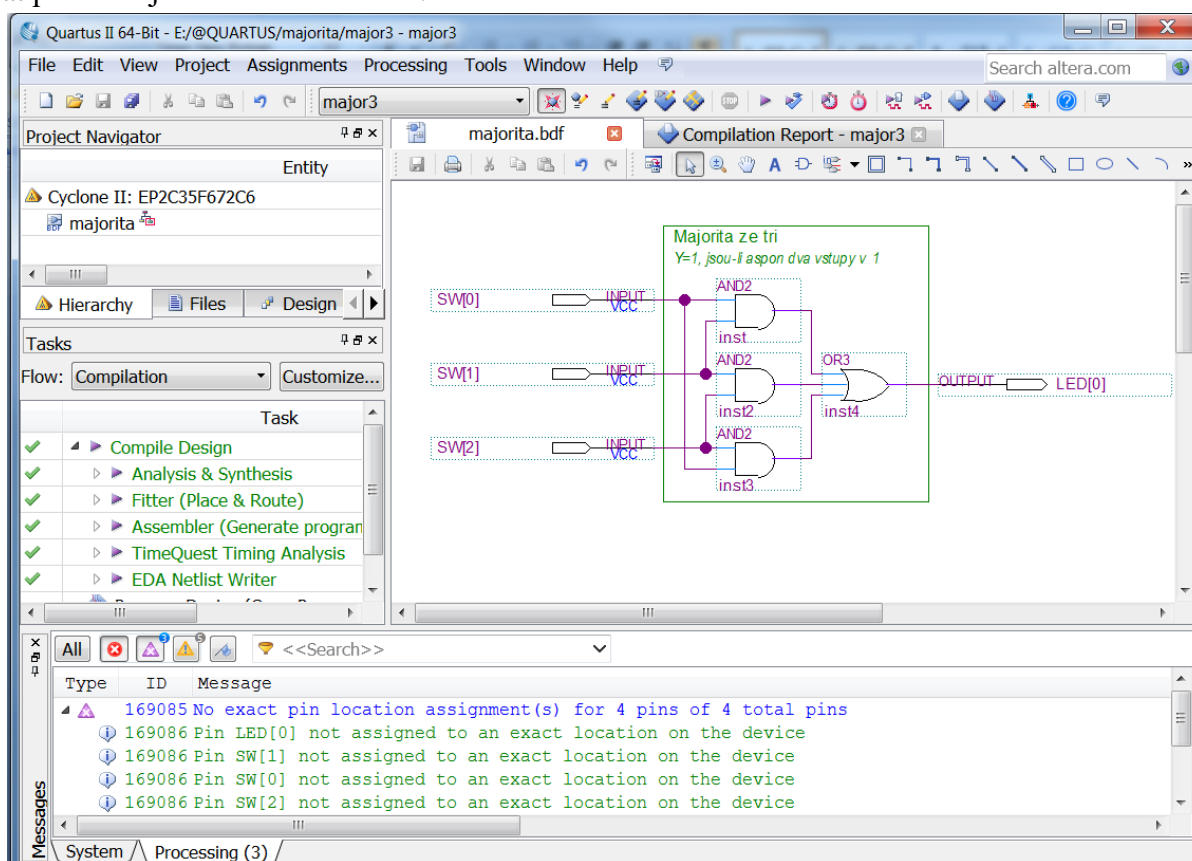
Hlavní jsou první dvě skupiny, a to Error a Critical Warnings - ty mějte vždy vybrané tlačítka v okně Message, na obrázku orámovanými zeleně.



Další kategorie, Warnings (zvýrazněná zeleně) obsahuje také některé zajímavé poznámky, které se vyplatí prohlédnout. Začneme od "Critical Warnings", protože hned jejich první hlášení, které uvedeme, bývá poměrně časté, viz dole. Doporučuji všem si ho prostudovat.

169085 - No exact pin location assignment(s) for...

Situace: Překládáme například obvod majority jako **top-level entity** a jeho vstupy a výstupy obsahují názvy mapovanými na desku DE2, buď jako schéma nebo program ve VHDL, a vypíše se nám kritické varování chybného přiřazení, ačkoliv jinak překlad proběhl v pořádku. Okno může v Quartusu II 13.0sp1 vypadat podobně jako na obrázku dole:



Obrázek 1 - Pin xxx not assigned to an exact location

Příčina

Kritické varování znamená buď:

1. neprovedli jsme dobře Assignments (popis vývodů) pro použitý FPGA obvod, nebo
2. napsali jsme špatně názvy vstupů či výstupů, případně
3. hlášení můžeme i ignorovat za situace, že se vztahuje k top-level entity, ve které jsme vstupy a výstupy záměrně pojmenovali svými vlastními jmény, např. jsme vstupy nazvali A, B a C a výstup Y.

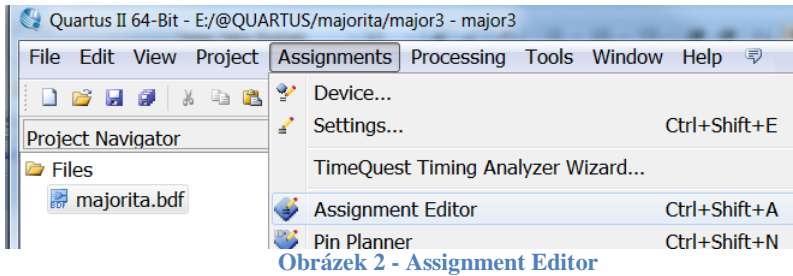
Pozn. 1: Můžeme si zvolit svá vlastní jména, pokud nezamýšlíme schéma či VHDL program nahrávat přímo do vývojové desky, ale chceme ho jen otestovat jako stavební blok pro jiný obvod.

Pozn. 2 Na FPGA obvod se mapují pouze jména uvedená na úrovni top-level entity. Pokud jakékoliv jméno vývodu FPGA obvodu použijeme ve vnořeném obvodu, bere se tam jako obyčejný název a nepřihradí se, i když by se shodoval s FPGA vývodem.

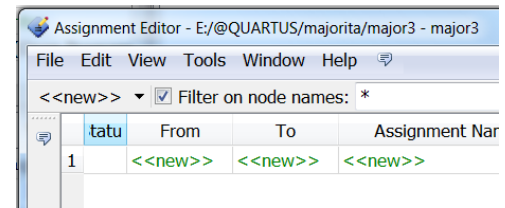
Oprava 1 - chybí nám Assignments definice pro FPGA

Napřed se podíváme, zda máme vůbec nějaké zavedené správné definice vstupů a výstupů FPGA obvodu. Otevřeme Assignment Editor z hlavního menu Quartusu:

Ukáže se nám výpis, mapování na FPGA. Vidíme, že ho máme prázdný:



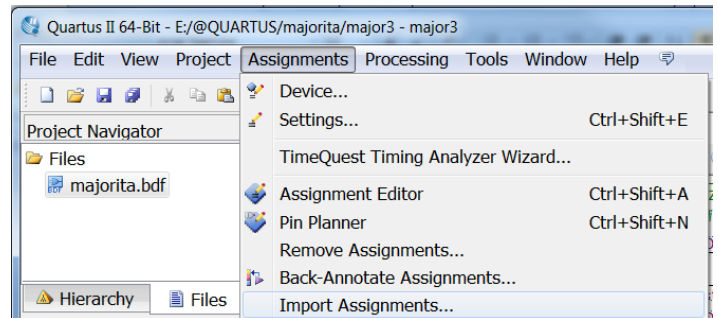
Obrázek 2 - Assignment Editor



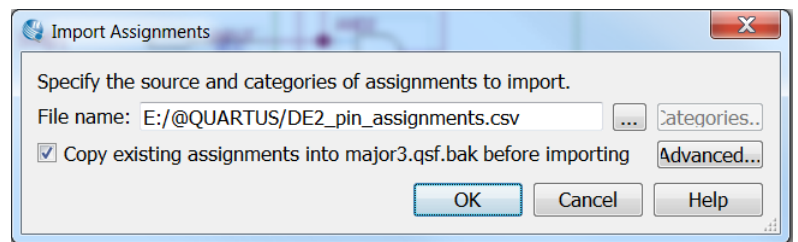
Definice pro použití přípravek s FPGA musíme nahrát ze souboru.

Volíme "Assignment -> Import Assignments...". V dialogu pro výběr souborů, který se ukáže, najdeme soubor DE2_pin_assignments.csv na disku, pracujeme-li s deskou DE2, nebo soubor DE2_115_pin_assignments.csv, překládáme-li pro DE2-115. Poté zadáme [Open].

Pozn. Pokud potřebné soubory nemáte, stáhněte si je z webu předmětu SPS.



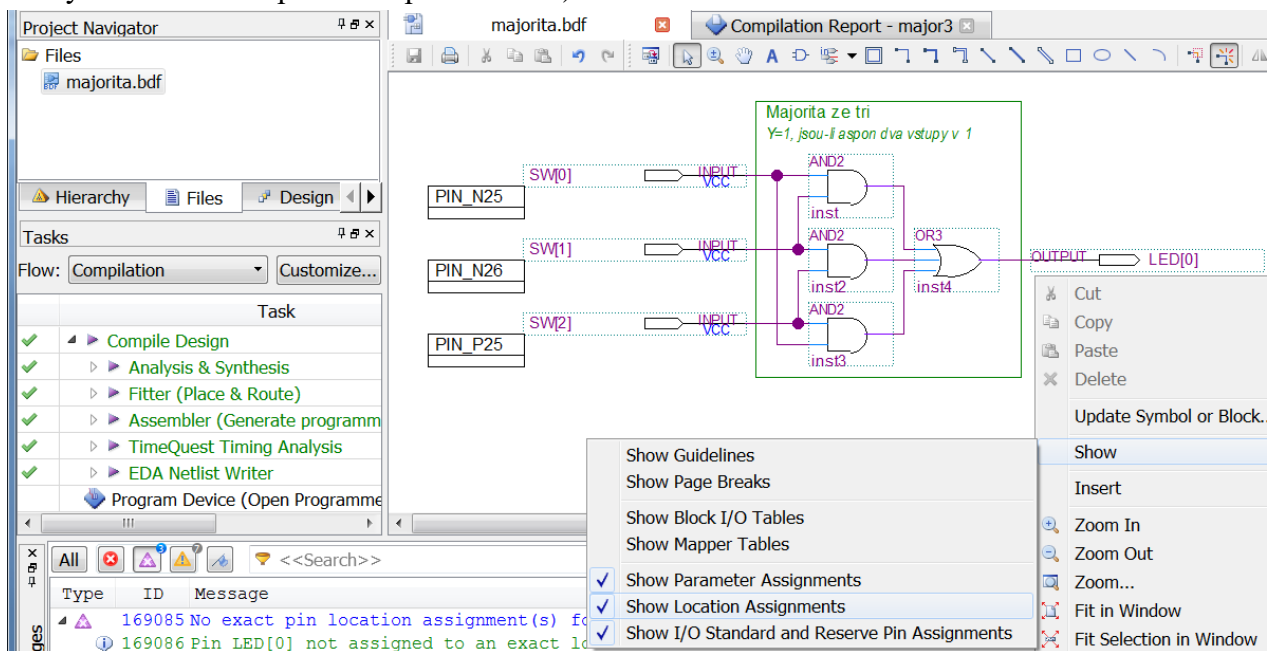
Poté se objeví dialog Import Assignments žádající potvrzení příkazu, který můžeme nechat ve výchozím stavu. Potvrdíme ho [OK] — nahrají se nám přiřazení pro náš FPGA. Nakonec znovu přeložíme.



Obrázek 3 - Import Assignments

Oprava 2 - špatný název vstupu a výstupu

Může se stát, že se varování vypíše, přestože máme správně vložená Assignments. Nejpravděpodobnější příčinou bude chybný název některého vstupu nebo výstupu. V symbolickém editoru schémat ho snadno odhalíme, pokud si zapneme Show->Show Location Assignments z kontextového okna editoru (pravou myší kamkoliv na prázdnou plochu okna):



Obrázek 4 - Show Location Assignments

U správně mapovaných vstupů a výstupů se objeví informace o tom, na který konkrétní vývod FPGA obvodu vývojové desky se připojí. Vypsané údaje nejsou pro nás příliš důležité, jsou pevně dané konstrukcí desky DE2, ale hlavní význam má samotná existence výpisu.

Pokud informace u některého vstupu nebo výstupu chybí, máme ho mapovaný špatně. V obrázku nahoře jde o LED[0], o čemž nás informuje i kritické varování "*Pin LED[0] not assigned to an exact location on the device*". Otevřeme Assignment Editor a podíváme se na stav definic:

	Status	From	To	Assignment Name	Value	Enabled
1	✓ Ok		SW[0]	Location	PIN_N25	Yes
2	✓ Ok		SW[1]	Location	PIN_N26	Yes
3	✓ Ok		SW[2]	Location	PIN_P25	Yes
4	? 'To' name unrecognized		SW[3]	Location	PIN_AE14	Yes
5	? 'To' name unrecognized		SW[4]	Location	PIN_AF14	Yes

Obrázek 5 - Assignment Editor okno ukazující přiřazení vstupů a výstupů

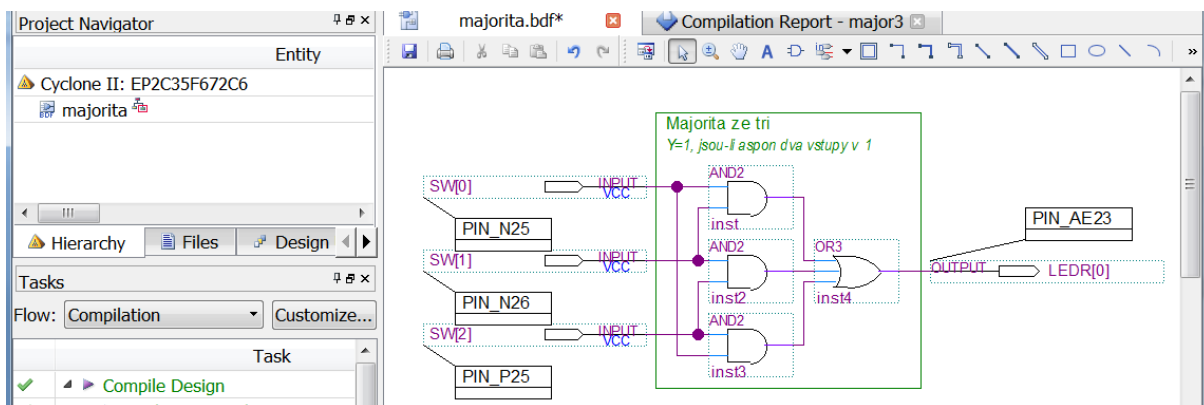
Vidíme, že tři přepínače SW se přiřadily správně. Ostatní položky mají před sebou ve sloupci Status: 'To' name unrecognized, což znamená, že překladač je nenašel v schématu označeném jako top-level entity. Pokud jsme na ně nikde neodkazovali, pak je to v pořádku, jinak jde o chybu v názvu.

Podíváme se tedy na správné názvy, v našem příkladu nejlépe tak, že zadáme do "Filter on node names" náš název "LED*", tj. vše začínající "LED", a stiskneme klávesu [Enter]:

	Status	From	To	Assignment Name	Value	Enabled
1	? 'To' name unrecognized		LEDG[0]	Location	PIN_AE22	Yes
2	? 'To' name unrecognized		LEDG[1]	Location	PIN_AF22	Yes
3	? 'To' name unrecognized		LEDG[2]	Location	PIN_W19	Yes
4	? 'To' name unrecognized		LEDG[3]	Location	PIN_V18	Yes
5	? 'To' name unrecognized		LEDG[4]	Location	PIN_U18	Yes
6	? 'To' name unrecognized		LEDG[5]	Location	PIN_U17	Yes
7	? 'To' name unrecognized		LEDG[6]	Location	PIN_AA20	Yes
8	? 'To' name unrecognized		LEDG[7]	Location	PIN_Y18	Yes
9	? 'To' name unrecognized		LEDG[8]	Location	PIN_Y12	Yes
10	? 'To' name unrecognized		LEDR[0]	Location	PIN_AE23	Yes
11	? 'To' name unrecognized		LEDR[1]	Location	PIN_AF23	Yes
12	? 'To' name unrecognized		LEDR[2]	Location	PIN_AR21	Yes

Obrázek 6 - Nalezení všech vývodů začínajících LED

Vypíše se nám seznam možných přiřazení, ze kterého vidíme, že jsme zapomněli u výstupu LED[0] označení barvy R či G. Zavřeme editor a opravíme, například přejmenováním výstupu na LEDR[0], případně na LEDG[0]. Nyní překlad proběhne v pořádku. U vývodů vidíme jejich mapování na desku.



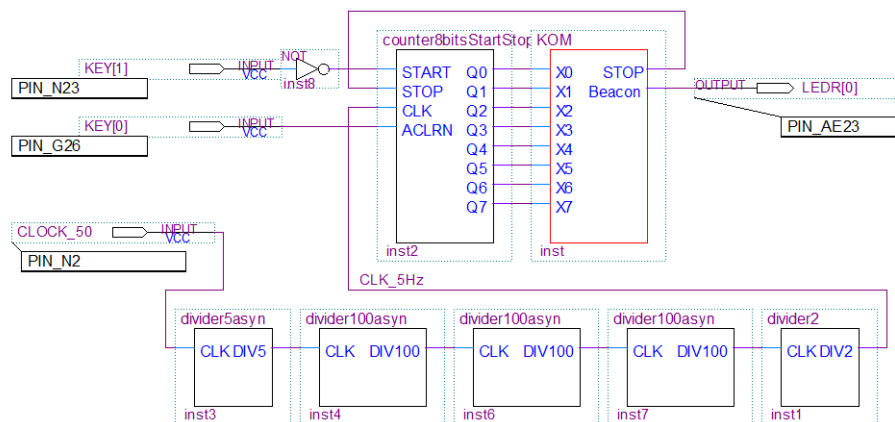
Obrázek 7 - Vypsané "Locations" u správně mapovaného schématu

332012 - Synopsys Design Constraints File not found...

Hlášení můžeme zpočátku ignorovat. Soubor "*.sdc" je potřebný až u synchronních obvodů. Hlášku 332012 obvykle doplňuje i druhé hlášení "332148 Timing requirements not met".

Poznámka: Následující část je již pokročilejší, pro začátek ji můžete vynechat.

Situace: Předpokládejme, že máte schéma doporučené pro úlohu maják, které jste sestavili z obvodů z SPSLibrary (tu najdete na stránce předmětu).



Obrázek 8 - Schéma sestavené z SPSLibrary pro maják EA z první přednášky

Vše se přeloží a funguje, ale přesto se nám vypíše dvě kritická varování: "*Synopsys Design Constraints File file not found*" a pod ním: "*Timing requirements not met*". Položka TimeQuest Timing Analyzer v okně Compilation Report se zbarví červeně a po jejím rozbalení vidíme výsledky nesplněných analýz.

Příčina

Analyzátor nezná frekvenci vstupu CLOCK_50 a předpokládá výchozí 1 GHz. Tu samozřejmě nesplníme na našem pomalejším výukovém FPGA obvodu, a tak se vypíše varování uvádějící doporučenou maximální frekvenci 500 MHz.

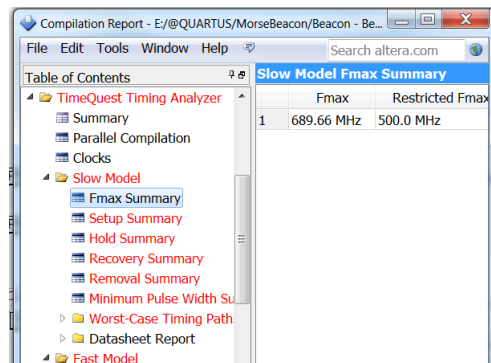
Odstranění:

V souboru knihoven DCELibraries2014 najdeme soubor DE2.sdc, nebo ho vytvoříme z menu Quartusu: "File->New...->Other Files: Synopsys Design Constraints File" s údaji o periodě hodin vývojové desky:

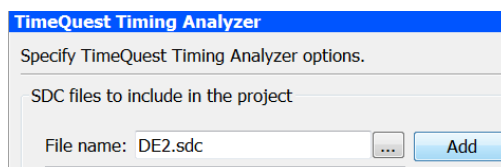
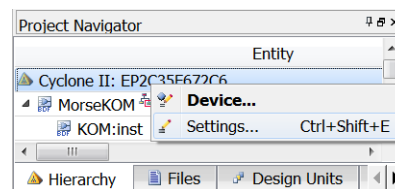
```
# SDC file "DE2.sdc"
## DEVICE "EP2C35F672C6"
set_time_format -unit ns -decimal_places 3
create_clock -name {CLOCK_50} -period 20.000 -waveform { 0.000 10.000 }
create_clock -name {CLOCK_27} -period 37.000 -waveform { 0.000 18.500 }
```

Přidáme DE2.sdc do časové analýzy. V okně Projekt Navigator otevřeme na jeho záložce [Hierarchy] pravou myší kontextové menu řádku "Cyclone:..", kde zvolíme "Settings...". Vybereme ve stromu Category položku TimeQuest Timing Analyzer. V okně vpravo, dolní obrázek, vyhledáme tlačítkem [...] na disku soubor DE2.sdc a [Add] ho přidáme do seznamu souborů SDC., které má analyzátor použít. Poté dialog "Settings" zavřeme.

Projekt přeložíme. Kritická varování se už nevypíše. Máme sice TimeQuest Timing Analyzer stále červený, ale jen kvůli jedné jeho podpoložce "Unconstrained Path" — nenapsali jsme totiž podrobné SDC požadavky na odezvy obvodu, ale ty už nejsou nutné, aspoň pro SPS kurz. Hlavní pro nás budou hodiny.



Obrázek 9 - TimeQuest Timing Analyzer



Obrázek 10 - Přidání souboru *.sdc

Errors v okně Messages - Compilation was unsuccessful

Jde o podstatné chyby bránící sestavení obvodu: " *Quartus II Full Compilation was unsuccessful.*"

12014 - Net "xxx", which fans out to "yvy"

Příklad hlášení po jeho rozbalení:

Error (12014): Net "gdfx_temp0", which fans out to "inst4", cannot be assigned more than one value

Error (12015): Net is fed by "inst2"

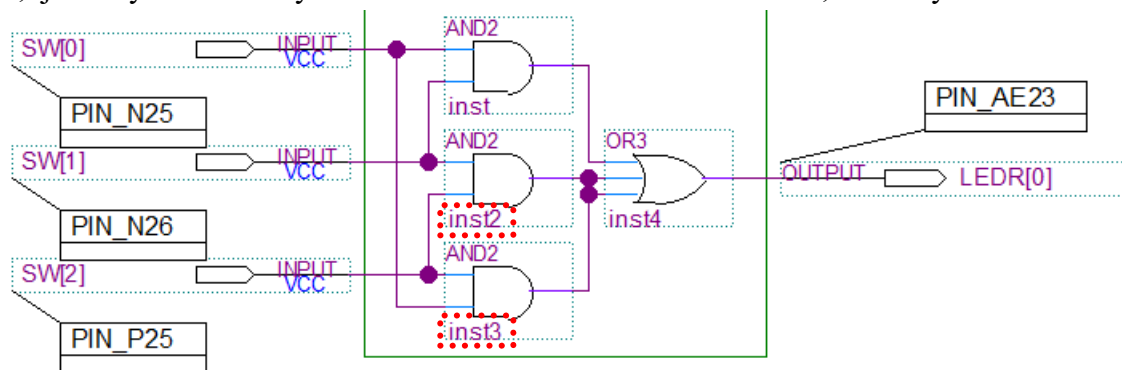
Error (12015): Net is fed by "inst3"

Příčina

V symbolickém editoru schémat jde o poměrně častou chybu, která vzniká i nechtěně, pokud se nám omylem propojí dva vodiče, a tak vznikne nám zkrat mezi výstupy vložených obvodů. Dva či více z nich se vzájemně přetahují o výslednou hodnotu a tím se přetěžují jejich výstupy. Zapojení větší zátěže, než prvek obvodu povoluje, se označuje jako "fan out".

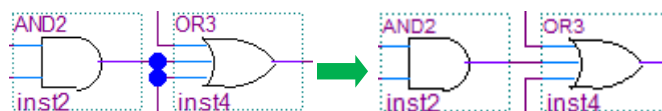
Odstranění

Podle výpisu hlášky, viz červený text nahoře, najdeme příslušné výstupy. Zde se jedná o "inst2" a "inst3", tj. názvy automaticky vkládané editorem ke každému obvodu, dole zvýrazněné rámečky.



Obrázek 11 - Zkrat - Error fan out

Zkrat odstraníme vybráním chybné propojky a stiskem klávesy [delete]. Poté znovu přeložíme.



275062 - Logic function of type xxx and instance "yyy" is already defined...

Příklad hlášení: *Error: Logic function of type OR3 and instance "inst" is already defined as a signal name or another logic function.*

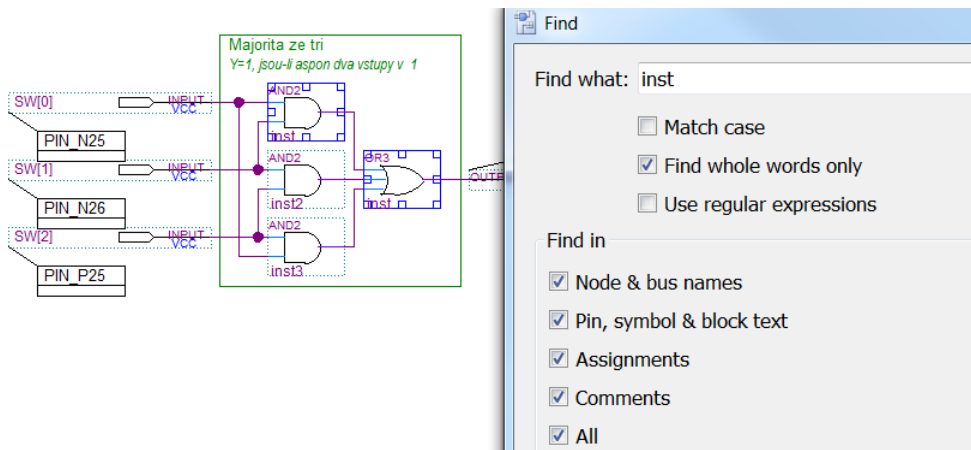
Příčina

Chyba znamená duplicitní název instance. Ta programově odpovídá názvu proměnné, tedy něčemu podobnému názvu instance třídy, např. v jazyce Java vytvořené příkazem new.

Chyba se může přihodit také v editoru schémat, kde se sice automaticky generují unikátní jména instancí vloženým prvkům, aby byla jedinečná v celém schématu, tj. v jednom souboru "*.bdf". Při složitějším kreslení, zejména při mazání a opětovném znovuvytvoření elementů, se může někdy stát, že nějaké jméno se duplikuje a objeví se tato chybová hláška.

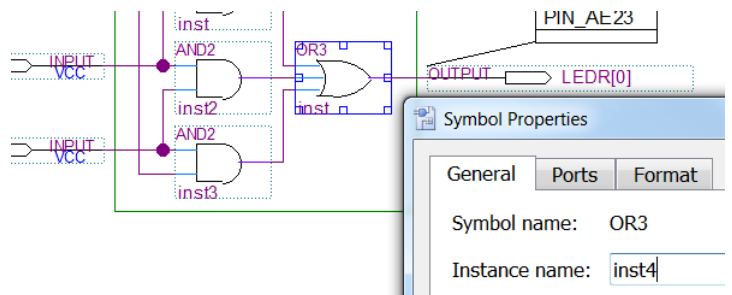
Odstranění

Najdeme duplicitní instance a přejmenujeme jednu z nich. Můžeme si pomoci "Find" funkcí editoru (Ctrl-F), kterou vyhledáme názvy "inst" zmíněné v chybové hlášce nahoře. V schématu na Obrázek 12 jsme našli vyznačené prvky:



Obrázek 12 - Duplicitní instance

Jeden z nich přejmenujeme přes kontextové menu jeho schematické značky (pravá myš), kde volíme Properties. V dialogu "Symbol Properties", který se nám objeví, na jeho záložce [General] zadáme nové jméno do "Instance Name" pole. Kdybychom zde omylem zadali název duplicitní s jiným již existujícím, objeví se výstraha a jméno se odmítne. Pokud projde, bude už unikátní. V obrázku jsme zvolili inst4. Všimněte si, že přes vlastnosti značky můžeme měnit i její zobrazení na záložce [Format].



Obrázek 13 - Přejmenování instance

12009 - Node "xxx" is missing source

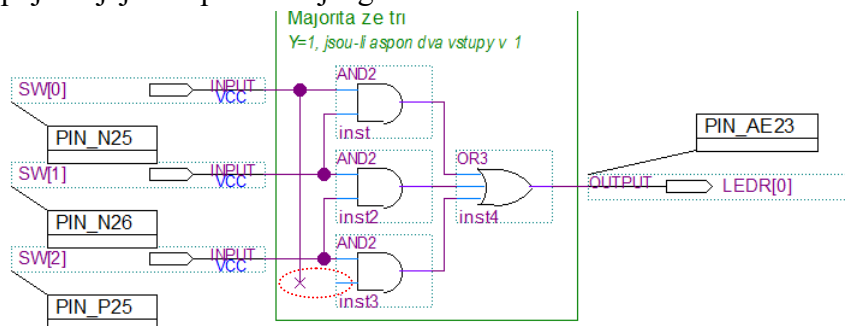
Příklad: *"Error (12009): Node "inst3" is missing source"*

Příčina

U některých obvodů musí být zapojené všechny vstupy a u jiných zas jen ty povinné. Objeví-li se hláška chybějícího zdroje, buď 1/ chybí spojka u vstupu, nebo 2/ je špatného typu či 3/ nesouhlasí jméno.

Odstranění 1 - chybí vodič

Podle jména instance, popis viz Obrázek 12 na straně 9, najdeme instanci zmíněnou v chybové hlášce, zde "inst3" a připojíme její vstup na zdroj signálu.

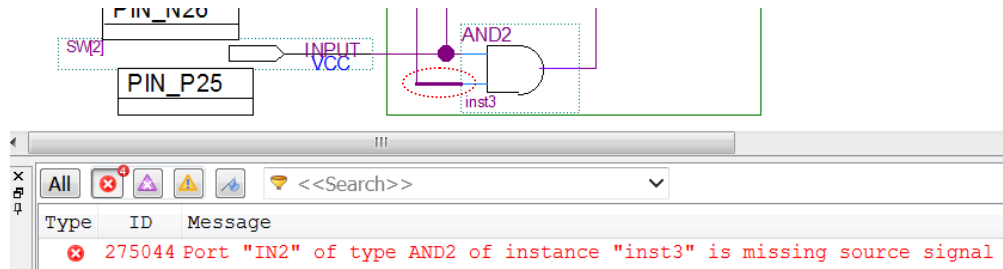


Obrázek 14 - Nezapojený povinný vstup

Odstranění 2 - špatný vodič

Může se stát, že hradlo máme zapojené správně, tak jako na obrázku na další stránce. Chyba zde spočívá v tom, že jsme použili špatný typ vodiče — místo jednoho drátu jsme zapojili sběrnici (zdůrazněná tlustou čarou). Pro kreslení spolek nutno používat správné typy čar: jednoduché označují jeden vodič, silné sběrnice a dvojitě svazek vodičů.



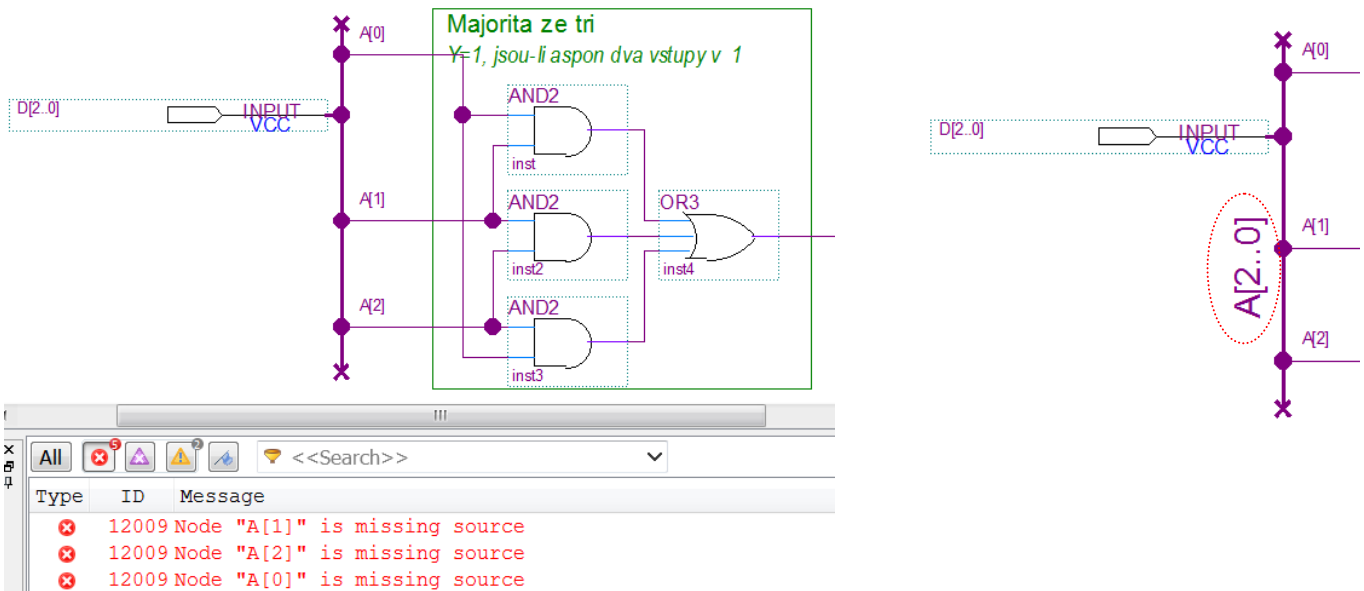


Obrázek 15 - Použití špatného typu vodiče

Schéma opravíme. Smažeme špatný typ vodiče a zapojíme správný — zde musíme použít jednoduchou čáru, tj. jeden vodič.

Odstranění 3 - nesouhlas jmen

Na obrázku vidíte správně provedené odbočky ze sběrnice. Sběrnice nemá svůj název a přebere ho z připojeného vstupu D[2..0]. V odbočkách jsme omylem použili písmena A; máme A[0] atd. Musíme buď 1/ přejmenovat všechny vodiče odboček na D[0], D[1] a D[2], nebo 2/ přidělit jméno sběrnici, viz obrázek vpravo dole, kde jsme sběrnici nazvali: A[2..0]. *Pozn. Pokud odbočujeme vodič ze sběrnice, připojujeme ho k ní kolmo a pojmenujeme ho s indexem prvku sběrnice. Definice názvů vodičů/sběrnice se provádí volbou Property v jejich kontextovém menu (pravá myš).*



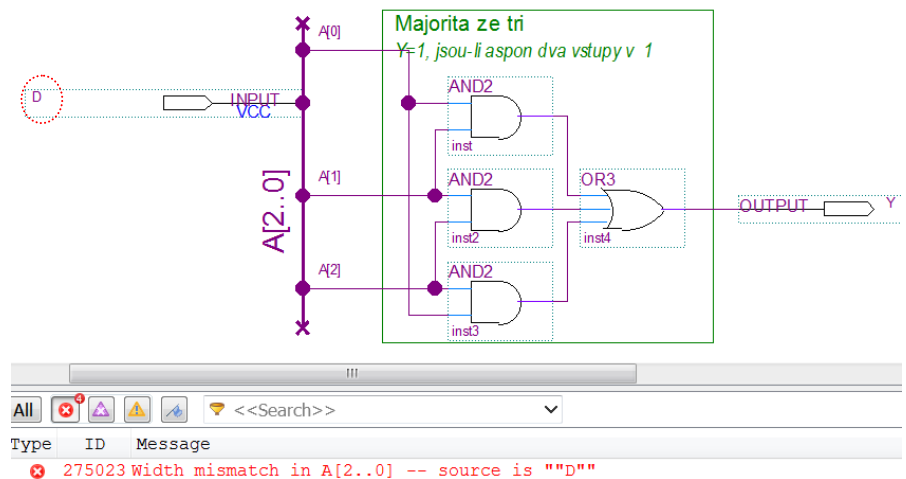
Obrázek 16 - Příklad pojmenování sběrnice na A[2..0]

275023 - Width mismatch in

Situace a odstranění

Vstup D, který napájí sběrnici, nemá uvedený svůj rozsah. Chybu opravíme jeho přejmenováním na D[2..0].

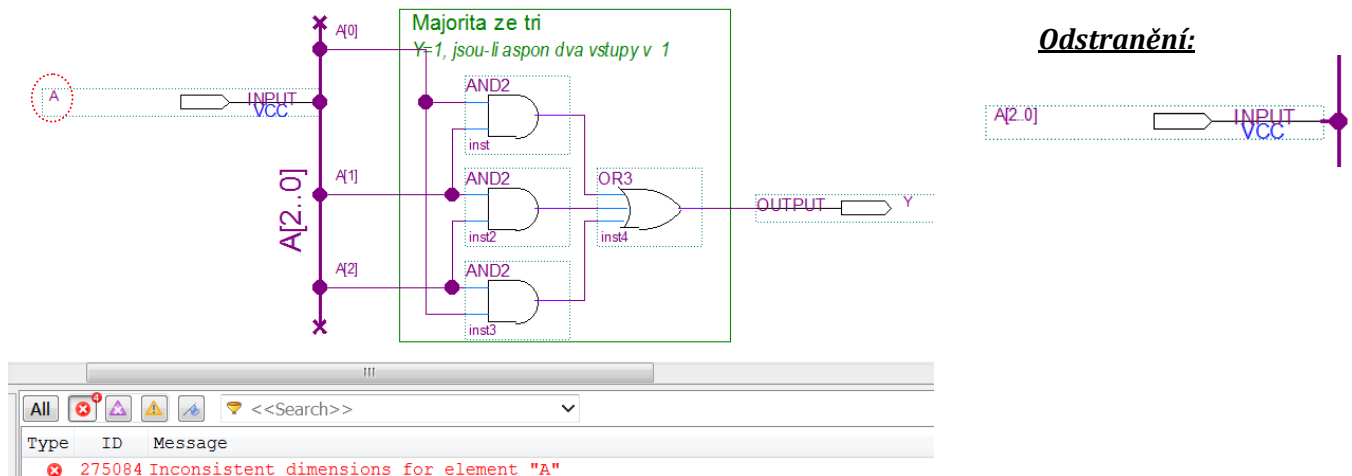
Pozn. Máme-li sběrnici pojmenovanou, pak rozsah musí přesně souhlasit.



Obrázek 17 - Sběrnice - Width mismatch

275084 - Inconsistent dimensions for element "xxx"

Situace a odstranění: V majoritě se sběrnicovým vstupem a pojmenovanou sběrnicí se vypisuje chyba nesouhlasu dimenzí. Jde o variantu chybové hlášky "*Error: Width mismatch in*". Zde však vstup A připojujeme na stejnojmennou sběrnicí, a tak se neshoda vyvolá nesouhlas dimenzí. Opravíme na A[2..0].



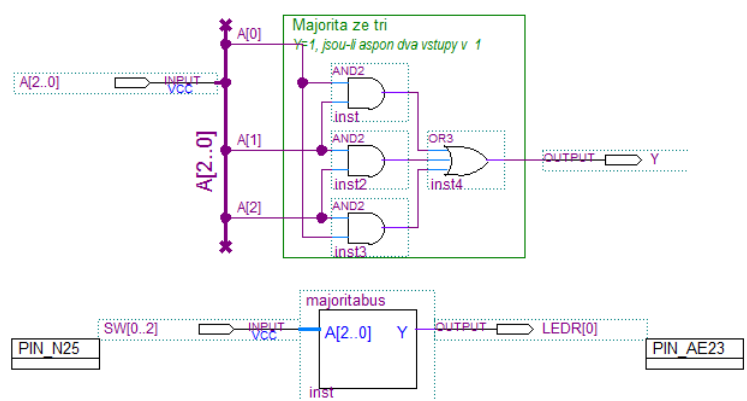
Obrázek 18 - Chybějící určení rozsahu sběrnice

12002 - Port "xxx" does not exist in macrofunction "yyy"

Situace:

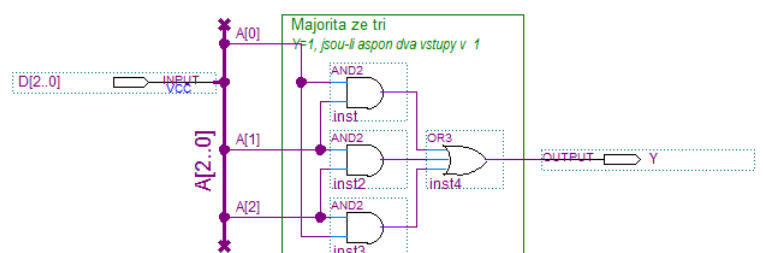
Měli jsme původně opravené schéma uvedené na Obrázek 18, které jsme uložili jako do souboru majoritabus.bdf. Vygenerovali jsme si jeho schematickou značku z Quartus menu File->Create/Update->Create Symbol Files for Current Files...

Jeho schematickou značku majoritabus jsme pak použili v souboru testmajoritabus.bdf, viz vpravo. Soubor se po vybrání za top-level entity přeložil bez chyby



Obrázek 19 - Obvod se sběrnicí použitý v dalším schématu.

Poté jsme se však rozhodli změnit název vstupu v souboru majoritabus.bdf na D[2..0]. Jelikož máme pojmenovanou sběrnicí, viz strana 10, a tak vstup můžeme nazvat libovolně, samozřejmě za předpokladu, že dodržíme rozsah [2..0] specifikovaný u názvu sběrnice.

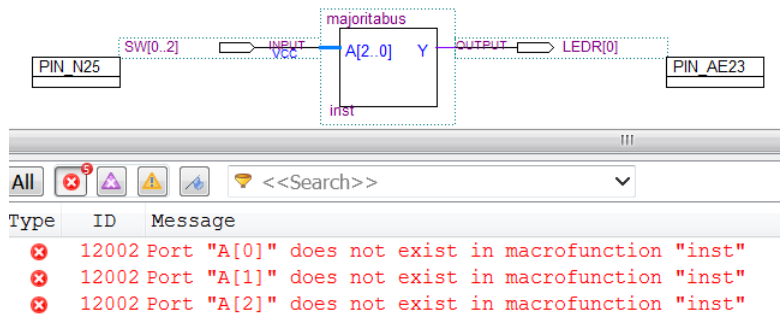


Obrázek 20 - Změněný soubor se sběrnicí

Když se budeme znovu překládat schéma uložené v souboru testmajoritabus.bdf, tentokrát se vypíší chyby "*Port does not exist*", ačkoliv předtím se vše přeložilo v pořádku.

Příčina

Jakmile přejmenuje vstupy a výstupy u souboru, na který se odkazuje v jiných schématech, a neaktualizujeme přitom současně i jeho schematickou značku, vypíše se hlášení o neexistenci portu v makrofunkci, tj. v použitém schématu, zde jde o majoritabus.bdf.

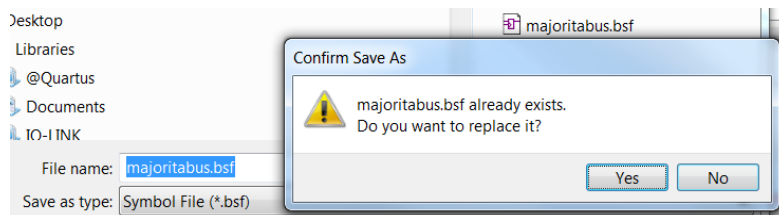


Obrázek 21 - Error: Port does not exist

Odstranění

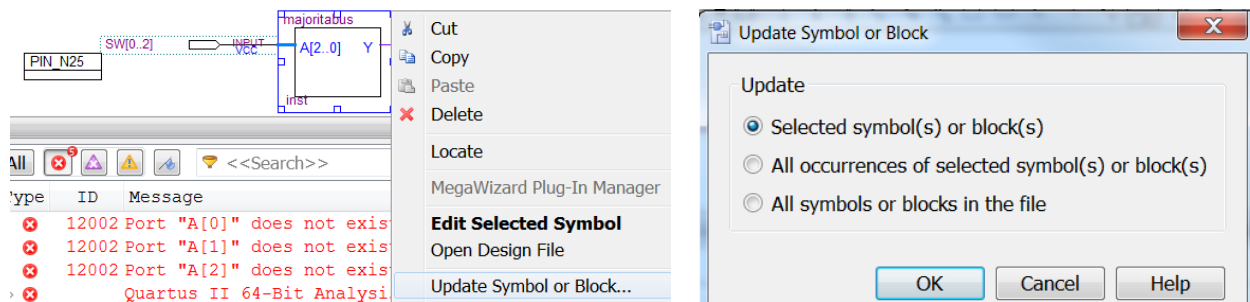
Musíme vygenerovat novou schematickou značku a poté aktualizovat schémata, v nichž je použita.

1. **Vygenerování schematické značky:** Otevřeme soubor majoritabus.bdf a z hlavního menu Quartusu volíme File->Create/Update->Create Symbol Files for Current Files... a poté potvrdíme případné přepsání staré značky



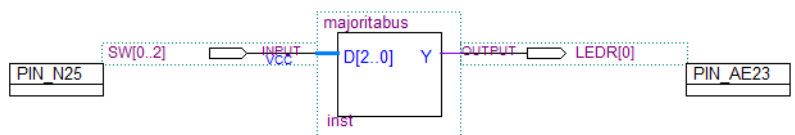
Obrázek 22 - Create Symbol Files for Current Files

- 2a. **Aktualizace schematické značky:** Otevřeme soubor testmajoritabus.bdf a z kontextového menu značky majoritabus (pravá myš) volíme Update Symbol or Block... V dialogu si vybereme jednu z možností:



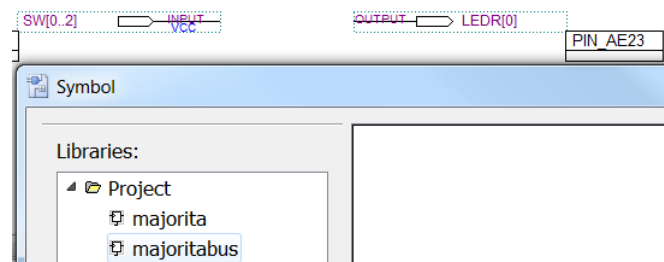
Obrázek 23 - Update Symbol or Block

Soubor testmajoritabus.bdf si do sebe zanese změny. Můžeme ho znovu přeložit, tentokrát bude bez chyby.



Obrázek 24 - Aktualizovaný soubor se sběrnicí

- 2b. **Alternativa Aktualizace schematické značky:** Můžeme značku smazat a pomocí Symbol Tool editoru vložit místo ní novou, což bývá někdy lepší při změně jejich rozměrů, když potřebujeme opravit i přívody.

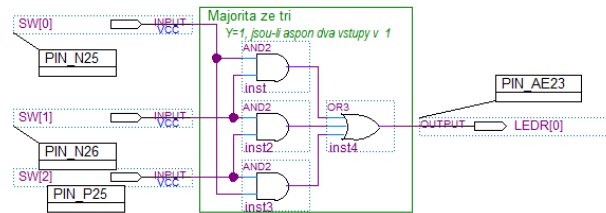


Obrázek 25 - Vložení nové vygenerované schematické značky pomocí Symbol Tool

171016 - Can't place node "xxx" -- illegal location assignment PIN_yyy

Situace: Máme bezchybně sestavený obvod, dobře vložené Assignments pro vývojovou desku — ty se dokonce objeví ve schématu, a přesto se nám vypíše chyba chybného přiřazení. Například tato:

"Error: Can't place node "LEDR[0]" -- illegal location assignment PIN_AE23"



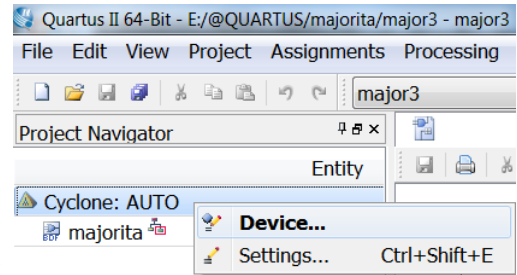
Možná příčina: Hlášení signalizuje, že náš vývod není možné přiřadit na FPGA pin.

Odstranění: Překontrolujte v okně Project Navigator, na jeho záložce Hierarchy zda opravdu překládáte pro správný obvod na vývojové desce. Pokud ne, musíte zařízení změnit na správné.

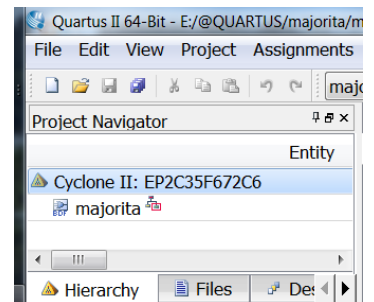
Krok 1: Pravou myší vyvoláme kontextové chybného zařízení na jeho záložce Hierarchy v okně Project Navigator a volíme Device...

Krok 2: V dialogu Device, který se nám objeví, vyhledáme správný obvod pro naši desku. Na obrázku dole je pro desku DE2 zvolený EP235F672C6. Po vybrání obvodu dialogu Device zavřeme [OK].

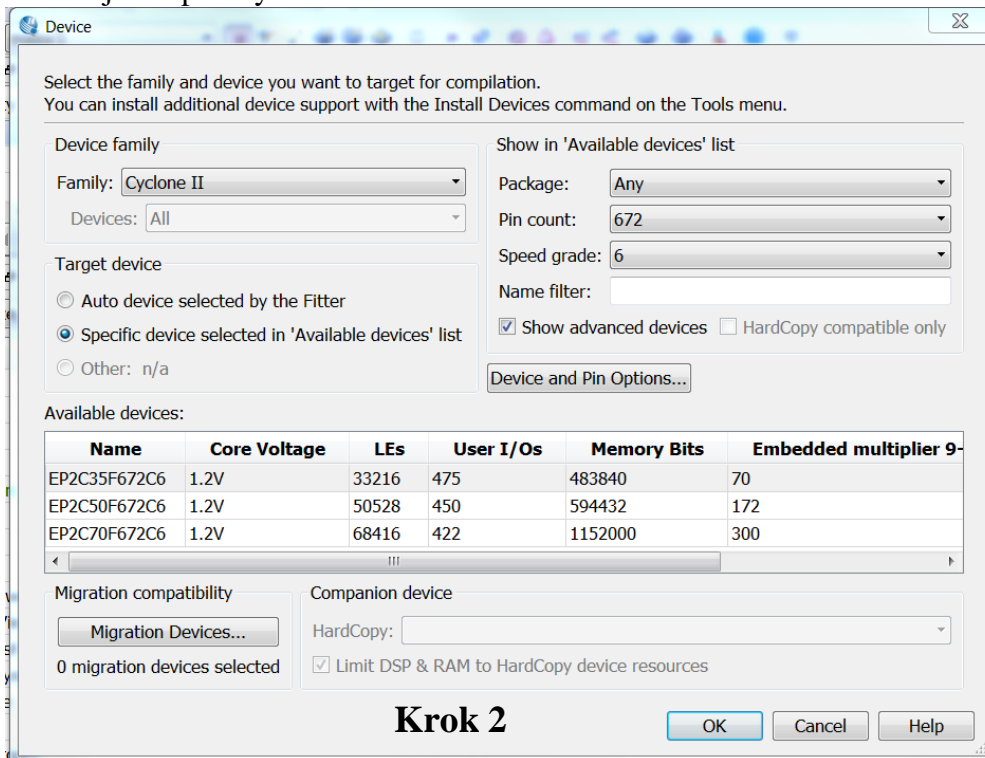
Krok 3 V záložce Hierarchy v okně Project Navigator se musí objevit správný obvod.



Krok 1



Krok 3



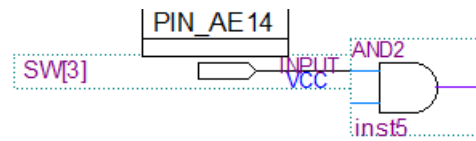
Obrázek 26 - Změna cílového zařízení (device) překladače

Warnings v okně Messages

Pokud obvod pořád a pořád tvrdošijně nefunguje, podívejte se také na výpisy varování (Warnings).

275008 - Primitive "xxx" of instance "yyy" not used.

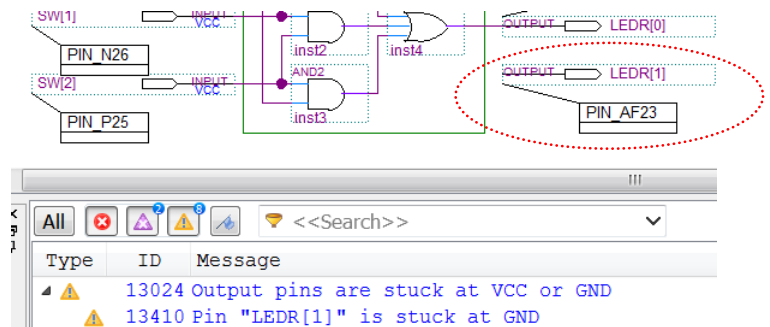
Nezapojené hradlo AND2 na obrázku se neobjeví jako chyba, protože nemá k sobě připojený výstup. Překladač hradlo automaticky zruší při minimalizaci obvodu. Informuje nás o tom varováním (Warnings): "275008 Primitive "AND2" of instance "inst5" not used." *Pozn. Pokud bychom něco připojili k výstupu hradla, pak se jeho nezapojený vstup objeví jako chyba.*



Obrázek 27 - Warning: ...instance "xxx" not used

13024 - Output pins are stuck at GND or VCC

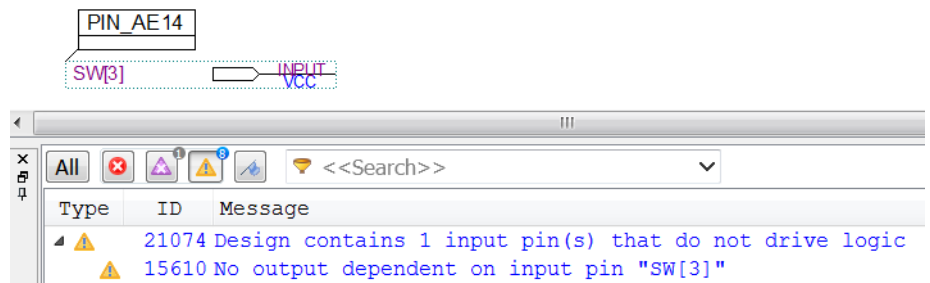
Nezapojená výstupní špička, na obrázku zvýrazněná, nevyvolá chybu. Překladač na ni automaticky připojí výchozí hodnotu; a to buď zem, tj. '0', nebo napájení VCC, tj. '1', dle situace. O akci informuje výpisem varování: "Output pins are stuck at GND or VCC." Nebylo-li to naším úmyslem, pak ve schématu nejspíš něco chybí.



Obrázek 28 - Warning: Pin "xxx" is stuck at GND

15610 - No output dependent on input pin...

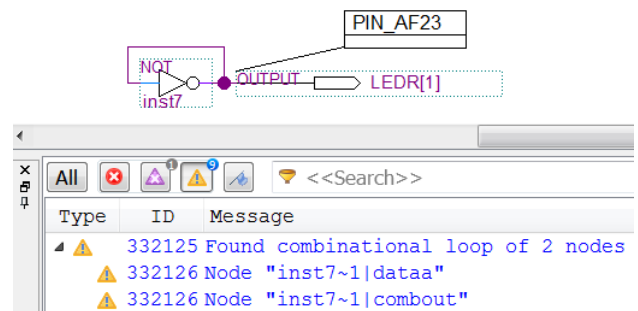
Vstupy můžeme mít nezapojené. Překladač o nevyužitých vstupech informuje varováním: "No output dependent on input pin...". Pokud jsme to neudělali úmyslně, pak hlášení znamená dost podstatnou chybu v obvodu — část našeho zapojení se během minimalizace zredukovala na holé nic.



Obrázek 29 - Warning: No output dependent

332125 - Found combinational loop

Kombinační smyčky, jako ta na obrázku vlevo, působí na FPGA obvodech potíže. **Smyčky se doporučuje uzavřít jedině přes synchronní klopné obvody.** Můžeme je sice teoreticky vytvořit i bez nich, překladač vyhoví, ale výsledky mívají neočekávané chování a vytvářejí různé nestability. Před takovou podivností jsme varováni: "Found combinational loop of 2 nodes." Zmínka o kombinační smyčce při překladač pro FPGA obvody vždy signalizuje vážnou chybu ve schématu.



Obrázek 30 - Warning" Combinational Loop

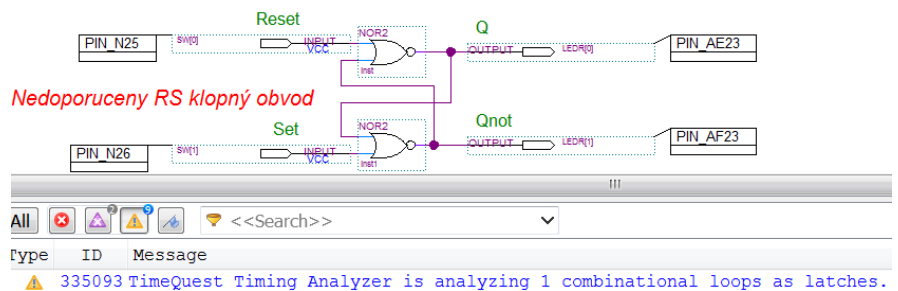
335093 TimeQuest ... is analyzing combinational loops as latches

Výskyt jakýchkoliv "latches" vždy znamená velmi podstatnou chybu v návrhu pro FPGA obvod.

Příklad 1

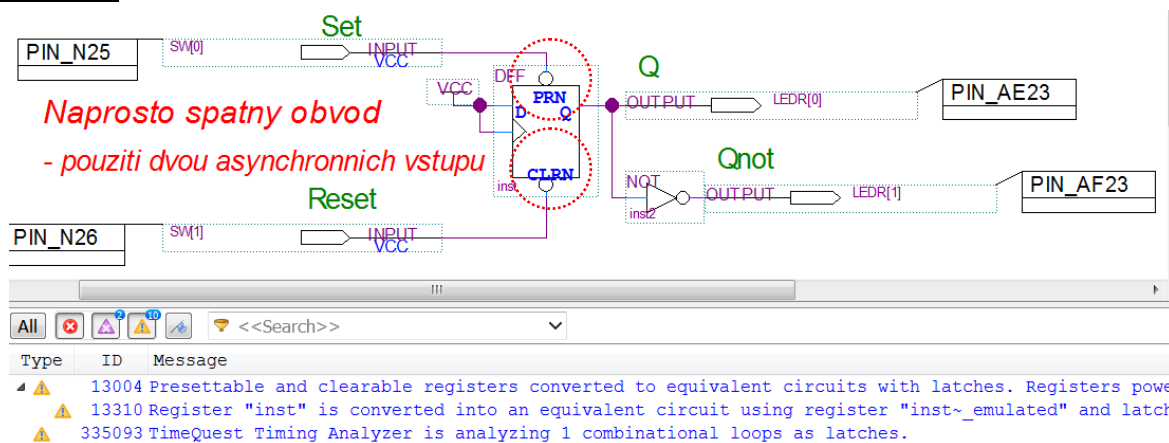
"A lze zkusit RS klopný obvod z druhé přednášky?" Zkusit ano, používat ne. Varuje před ním časová analýza: "... **combinational loops as latches**", upozorňující na výskyt latches, tj. úrovnových klopných obvodů. RS klopný obvod sice pracuje, ale jen v podobně primitivních zapojeních jako příklad na obrázku vpravo.

Pozn. FPGA obvody nerealizují logiku hradly, blíže viz přednášky, a tak mnohé "spolehlivé" konstrukce vyzkoušené na TTL obvodech si v FPGA zafungují sem tam trochu jinak a působí těžko odhalitelné chyby.



Obrázek 31 - Varování latch u nedoporučeného RS obvodu

Příklad 2



Obrázek 32 - Varování latch u nedoporučeného užití dvou asynchronních vstupů

Na schématu Obrázek 32 vidíme zapojení, u kterého překladač a časový analyzátor ve svorné shodě vypsalý varování o použití úrovnového klopného obvodu (latch). Celé dlouhé hlášení zní:

Warning (13004): Presettable and clearable registers converted to equivalent circuits with **latches**. Registers power-up to an **undefined** state, and DEVCLRn places the registers in an **undefined** state.

* **Warning (13310):** Register "inst" is converted into an equivalent circuit using register "inst~_emulated" and **latch** "inst~1"

Warning (335093): TimeQuest Timing Analyzer is analyzing **1 combinational loops as latches**.

Obvod nahoře vyvábí RS klopný obvod trikem kdysi docela běžným na TTL obvodech — na webu se najdou podobná schémata. Obvody FPGA řady Cyclone ale vnitřně neobsahují klopné obvody mající dva asynchronní vstupy (na obrázku jde o CLRn a PRN), ale mají jen jeden, a to CLRn.

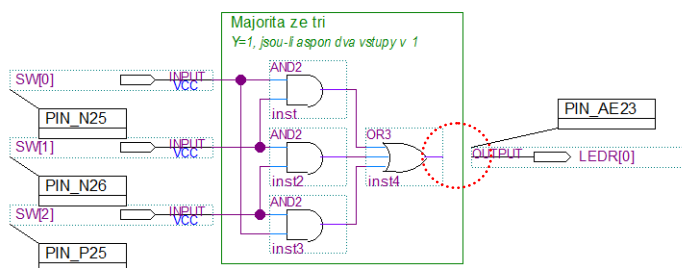
Vložená obecná schematická značka obvodu typu DFF (D flip-flop) se při překladu převádí na vnitřní zapojení, které dovoluje použít FPGA obvod. Jelikož DFF nemá na řadě Cyclone k sobě plnohodnotný ekvivalent, překladač obejde absenci druhého asynchronního vstupu (zde PRN) pomocí divoké konverze, která si funguje, jak se jí kdy chce.

Pozn. Již několik tvrdošijných studentů se po mnoha člověkohodinách úsilí přesvědčilo, že používání dvou asynchronních vstupů u jednoho obvodu opravdu není dobrým nápadem, ale něčím o dost horším.

Compilation Report - logic elements

Okno "Compilation Report" sice nevypisuje chyby, ale z jeho hlášení lze také mnoho rychle poznat. Vidíme v něm název Top-Level Entity, co jsme vlastně překládali, a použitého obvodu FPGA .

Při překladač se nám nevypsala sice žádná chyba, ale obvod nepracuje. Nicméně jeho protokol o překladač vypadá podivně. Překladač nás informuje, že náš obvod sestavil z 0 logických elementů, z nich použil 0 kombinačních obvodů a 0 registrů.



Flow Summary	
Flow Status	Successful - Tue Sep 10 16:16:46 2
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 S
Revision Name	major3
Top-level Entity Name	majorita
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	0 / 33,216 (0 %)
Total combinational functions	0 / 33,216 (0 %)
Dedicated logic registers	0 / 33,216 (0 %)

Obrázek 33 - Compilation Report

Odstranění

Podíváme-li se na schéma nahoře, zjistíme, že výstup není zapojený, na ničem nezávisí, není tedy co sestavit. Připojíme výstup vložením vodiče.

Poznámka *Situace se hlásí i četnými varováními — pro obvod nahoře se jich vypíše sedm:*

- Warning (275043): Pin "LEDR[0]" is missing source
- Warning (275009): Pin "SW" not connected
- Warning (275008): Primitive "AND2" of instance "inst" not used
- Warning (275008): Primitive "AND2" of instance "inst2" not used
- Warning (275008): Primitive "AND2" of instance "inst3" not used
- Warning (275008): Primitive "OR3" of instance "inst4" not used
- Warning (13024): Output pins are stuck at VCC or GND
- * Warning (13410): Pin "LEDR[0]" is stuck at GND

Pohled na nulový Compilation Report bývá prvním signálem, že asi něco nebude v pořádku. Stejně nás varuje i příliš málo použitých logických elementů, než by odpovídalo složitosti našeho schématu. Například, máme-li v zapojení dělič frekvence 50 miliony, pak např. výpis Dedicated logic registers...10 / 33,216 — tedy jen deset použitých registrů (klopných obvodů) z mnoha možných, to asi nebude moc v pořádku, vidíte? Do deseti bitů uložíme maximálně číslo 1023, rozhodně ne 50 milionů.

Závěr

Výčet obsahuje hlavní hlášky, o nichž si pamatujeme, že se často objevovaly studentům, ale není samozřejmě úplný. Jejich kompletní seznam možná ani neexistuje, neboť je jich velmi mnoho. Koncept výpisů překladače vychází se skutečnosti, že text sám o sobě už dostatečně vysvětluje problém. Chce to jen trochu cviku ve formulacích, které používají technici při návrhu obvodů. Snad tento stručný výčet Vám aspoň trochu pomůže v prvotní orientaci.

Nicméně, najdete-li nějakou chybovou hlášku, která se v seznamu nevyskytuje, a přitom je složitější na porozumění, můžete ji poslat na quartus@susta.cz, a to nejlépe jako celý projekt Quartus zazipovaný v okamžiku, kdy se hlášení generuje při překladač, aby se dalo snadno reprodukovat.

~0~